

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02144908 A**(43) Date of publication of application: **04 . 06 . 90**

(51) Int. Cl

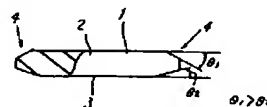
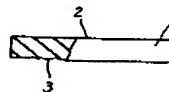
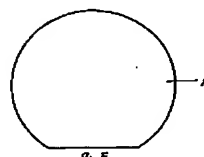
**H01L 21/02**(21) Application number: **63298107**(22) Date of filing: **28 . 11 . 88**(71) Applicant: **HITACHI LTD**(72) Inventor: **KITAHARA TOSHIKI  
YANAGI YOSHIKAZU**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

## (57) Abstract:

PURPOSE: To form a device without fail by clarifying the distinction of the surface and rear of a substrate by beveling the surface and rear of a wafer at different angles so as to distinguish them with the naked eye.

CONSTITUTION: There is applied to a single Si crystal ingot a processing to form an O.F. (orientation flat). Herein, there is not performed a conventional C.F. (cartridge flat) processing. Then, a wafer 1 is formed by slicing the ingot. Both surfaces are flattened by lapping. The surface with a saw mark is considered as a rear 3. Upon the lapping, surroundings 4 of the surface and rear sides of the wafer are beveled into different shapes. For example, a beveling angle  $\theta_1$  on the face side 2 is made larger than that  $\theta_2$  on the rear side 3, whereby the surface and the rear can be distinguished by the naked eye with ease.

COPYRIGHT: (C)1990,JPO&amp;Japio



## ⑫ 公開特許公報(A) 平2-144908

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/02識別記号 庁内整理番号  
A 7454-5F

⑭ 公開 平成2年(1990)6月4日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-298107

⑰ 出 願 昭63(1988)11月28日

⑱ 発 明 者 北 原 敏 昭 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 柳 義 和 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. 半導体インゴットよりウエハを形成後、ウエハの表面と裏面とを識別しうる程度に角部を異ならせて面取りを行うことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法、特に、半導体ウエハの段階でウエハの表面と裏面との識別を可能にするウエハ加工技術に関する。

〔従来の技術〕

従来より、バイポーラICあるいはMOSICなどの半導体装置を製造するプロセスにおいて、半導体インゴットをスライスする前段階で、O. F. (オリエンテーション・フラット)あるいはそれに加えて、C. F. (カートリッジ・フラット)を形成し、半導体ウエハの状態で半導体素子の形成

されるべきウエハ主面(表面)とその反対側の主面(裏面)とを識別することは従来から知られている。

なお、半導体ウエハは表面及び裏面がラッピングされ、両主表面の周辺部(角部)が面取りされてその後の加工がなされる。ウエハの面取りについては特公昭53-385945公報に記載されている。

〔発明が解決しようとする課題〕

従来から採用されているO. F. 及びC. F. は第5図に示すように、半導体ウエハの一方側の周辺にO. F. を設けるとともに、O. F. と90°の角度にC. F. を設け、C. F. が右になるか、左になるかでウエハの表面と裏面とを区別していた。

ところが、ウエハ主面にマスク処理のためにウエハをアライメント台に載せて自動的にO. F. を検出しようとする、誤ってC. F. を検出することがあり、自動目合せが不確実であり、製品不良化の原因となった。

本発明は上記した問題点を克服するためになさ

れたものであり、その目的とするところは、ウエハ面の処理を完全に確実に自動化できる半導体装置の製造方法の提供にある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明の半導体装置の製造方法では、半導体をスライスしたウエハの両主面をラッピングする際に、ウエハの表面と裏面とを肉眼で識別しうるように角度を異ならせて面取りを行うものである。

〔作用〕

上記のように構成された半導体装置の製造方法では、ウエハの表面の見分けが容易であることにより、C. F. を設ける必要なくウエハをアライメント台に載せることができ、アライナーによるC. F. 検出が確実にでき、目合せ精度が向上する。

〔実施例〕

第1図乃至第3図は本発明の一実施例を示すものであって、パイボラICを製造するための半導体ウエハの平面図(第1図)とその一部断面正面図(第2図～第3図)である。

鏡面仕上げしたウエハは裏面を下にしてアライメント台に載置し、O. F. を基準に位置決めして以後のマスク処理を含むプロセスに流される。

〔発明の効果〕

本発明は以上の実施例で説明したように構成されているので、以下に記載のような効果を奏する。

すなわち、半導体基板はO. F. のみで基板の表面裏面の識別ができることにより、表裏をまちがえることなく表面を主面として間違いなく素子形成のための加工ができる。その場合、C. F. が不要となり、アライナーのO. F. 位置の検出が容易に確実になり、ホトレジストの目合せ精度が向上し、半導体装置の特性及び歩留りの向上が期待できる。

4. 図面の簡単な説明

第1図乃至第3図は本発明の一実施例である半導体ウエハを示し、これらのうち、第1図はウエハの平面図、

第2図はラッピング以前の一部断面正面図、

第3図はラッピング以後の一部断面正面図である。

以下、各工程について、第4図の工程ブロック図を参照し説明する。

(1) Si単結晶インゴットにO. F. (オリエンテーションフラット)を形成する加工を施す。この場合、従来行ってきたC. F. (カートリッジ・フラット)の加工は行わない。

(2) 次に、インゴットをスライニングしてウエハ(基板)1を形成する。このウエハは第1図に示すように周辺の一部にO. F. が形成されている。

(3) スライス後のウエハの両面は粗面を呈するため、ラッピングにより両面を平坦化する。この場合、ソウマークの入った側の面を裏面3とする。このラッピングの際にウエハの表面側及び裏面側の周辺4に形状の異なる面取りを行う。たとえば第3図に示すように、表面側2の面取り角 $\theta_1$ を裏面側3の面取り角 $\theta_2$ より大きくとることにより、肉眼によって容易に表裏面の判別が可能となる。

(4) 面取りしたウエハの表面側及び裏面側に鏡面研磨加工仕上げを施す。

第4図はインゴットから鏡面仕上げまでの工程ブロック図である。

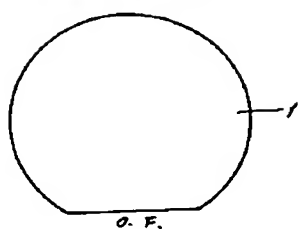
第5図は従来例を示す半導体ウエハの平面図である。

1…半導体ウエハ(基板)、2…ウエハ表面、  
3…ウエハ裏面、4…ウエハ周辺部。

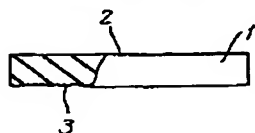
代理人 弁理士 小川 勝 男



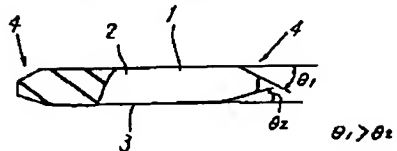
第 1 図



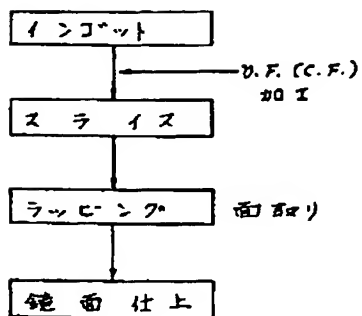
第 2 図



第 3 図



第 4 図



第 5 図

